

Patent Abstracts of Japan

PUBLICATION NUMBER : 07249555
PUBLICATION DATE : 26-09-95

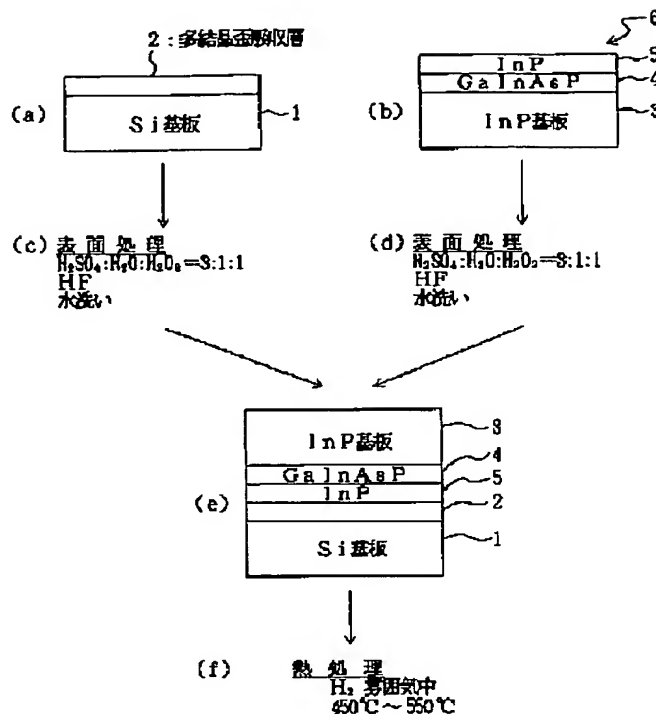
APPLICATION DATE : 08-03-94
APPLICATION NUMBER : 06037307

APPLICANT : GIJUTSU KENKYU KUMIAI
SHINJIYOHOU SHIYORI KAIHATSU
KIKO;

INVENTOR : KAMIJO TAKESHI;

INT.CL. : H01L 21/02 H01L 21/205 H01L 21/324
H01L 33/00 H01S 3/18

TITLE : SEMICONDUCTOR DEVICE AND
MANUFACTURING METHOD
THEREOF



ABSTRACT : PURPOSE: To provide a semiconductor device and manufacturing method thereof in high yield by lessening the effect of thermal strain for enhancing the process controllability.

CONSTITUTION: In a semiconductor device manufactured by directly bonding a different kind of semiconductor substrate, a strain absorbing layer 2 comprising polycrystalline layer of a compound semiconductor formed on one Si substrate in the different semiconductor substrate and a compound semiconductor multilayer substrate 6 of another semiconductor substrate whereon InP layer 5/GaInAsP layer 4 joined to this strain absorbing layer 2 are formed are provided.

COPYRIGHT: (C)1995,JPO

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-249555

(43) 公開日 平成7年(1995)9月26日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02	B			
21/205				
21/324	C			
33/00	A			
H 0 1 S 3/18				

審査請求 未請求 請求項の数 7 O L (全 4 頁)

(21) 出願番号 特願平6-37307

(22) 出願日 平成6年(1994)3月8日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(74) 上記1名の代理人 弁理士 清水 守 (外1名)

(71) 出願人 593162453

技術研究組合新情報処理開発機構

東京都千代田区東神田2-5-12 龍角散ビル8階

(74) 上記1名の代理人 弁理士 清水 守

(72) 発明者 和田 浩

東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

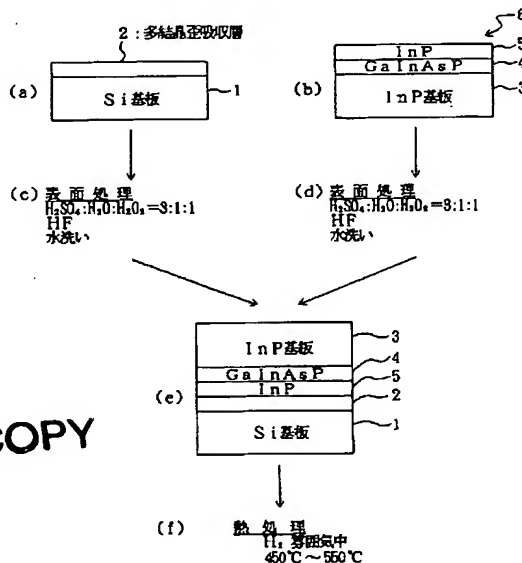
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 熱歪みによる影響を低減し、プロセスの制御性を良くし、歩留まりの高い半導体装置及びその製造方法を提供する。

【構成】 異種半導体基板を直接接着させることにより作製される半導体装置において、異種半導体基板の内の一方のSi基板1上に形成される化合物半導体の多結晶層からなる歪吸収層2と、この歪吸収層2上に接合されるもう一方の半導体基板であるInP層5/GaInAsP層4が積層された化合物半導体多層基板6とを設ける。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 異種半導体基板を直接接着させることにより作製される半導体装置において、(a)前記異種半導体基板の内の一方の半導体基板上に形成される化合物半導体の多結晶層からなる歪吸収層と、(b)該歪吸収層上に接合されるもう一方の半導体基板である化合物半導体多層基板とを有する半導体装置。

【請求項2】 前記異種半導体基板はSi基板と多層の化合物半導体層を有するInP基板である請求項1記載の半導体装置。

【請求項3】 前記異種半導体基板はSi基板と多層の化合物半導体層を有するGaAs基板である請求項1記載の半導体装置。

【請求項4】 前記多層の化合物半導体層はInP/GaInAsP/InPまたはAlGaAs/GaAs/AlGaAs/GaAsからなる請求項1記載の半導体装置。

【請求項5】 異種半導体基板を直接接着させることにより作製される半導体装置の製造方法において、(a)接着される両半導体基板の少なくとも一方の表面に化合物半導体の多結晶層からなる歪吸収層を形成する工程と、(b)該歪吸収層の表面及びもう一方の化合物半導体多層基板の表面処理を行う工程と、(c)その表面処理を施された面を直接接着させる工程とを施すことを特徴とする半導体装置の製造方法。

【請求項6】 前記歪吸収層は多結晶化合物半導体層を450℃程度の低温で結晶成長させる請求項5記載の半導体装置の製造方法。

【請求項7】 前記直接接着工程は450～550℃と比較的低い温度で行うことを特徴とする請求項5又は6記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、異なる半導体材料を集積一体化することにより作製される半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来、この種の半導体装置としては、InPとSiのような異種半導体材料の集積一体化を実現するために、基板を直接接着させる技術を用いている(例えば、既に、本願出願人にかかる特願平4-240565号として提案している)。この基板の直接接着は、まず、接着させようとしている両基板の表面を洗浄処理した後、基板の鏡面同士を接触させ、450～700℃程度の温度で熱処理を施すことによって実現される。

【0003】この方法によれば、異種半導体基板上の結晶成長技術によって得られる半導体単結晶より、格子欠陥の少ない結晶を得ることが可能となる。

【0004】

【発明が解決しようとする課題】しかしながら、異種半導体基板は異なる熱膨張係数を持つので、熱処理を行うことにより、熱歪みがかかり、基板の一部にクラックが生じたり、部分的に基板が剥がれるなどの現象が起こり、プロセスの制御性が良くないという問題があった。

【0005】本発明は、以上述べた熱歪みによる影響を低減し、プロセスの制御性を良くし、歩留まりの高い半導体装置及びその製造方法を提供することを目的とする。

10 【0006】

【課題を解決するための手段】本発明は、上記目的を達成するために、異種半導体基板を直接接着させることにより作製される半導体装置において、前記異種半導体基板の内の一方の半導体基板上に形成される化合物半導体の多結晶層からなる歪吸収層と、この歪吸収層上に接合されるもう一方の半導体基板である化合物半導体多層基板とを設けるようにしたものである。

20 【0007】また、異種半導体基板を直接接着させることにより作製される半導体装置の製造方法において、接着される両半導体基板の少なくとも一方の表面に化合物半導体の多結晶層からなる歪吸収層を形成する工程と、この歪吸収層の表面及びもう一方の化合物半導体多層基板の表面処理を行う工程と、その表面処理を施された面を直接接着させる工程とを施すようにしたものである。

【0008】

【作用】本発明によれば、例えば、図1に示すように、Si基板1上に低温で成長させた多結晶歪吸収層2を形成した後に、別途用意したInP基板3上にInP層5/GaInAsP層4が形成された化合物半導体多層基板6と直接接着するようにしたので、SiとInPの熱膨張係数の違いによる熱歪みによる影響を低減させ、かつ、接着工程に必要な熱処理の温度を下げることができる。

【0009】これにより、クラックや剥がれの少ない高歩留まりの接着プロセスが可能となり、また、処理温度の低温化により、予め作りつけてあるデバイスの特性劣化の少ない、良質な異種半導体集積型デバイスを作製することができる。

【0010】

40 【実施例】以下、本発明の実施例について図を参照しながら詳細に説明する。図1は本発明の第1の実施例を示す半導体装置の製造工程断面図である。ここでは、一つの例として、Si基板と、InP基板上にInP層/GaInAsP層を有する化合物半導体多層基板とを直接接着させる場合を示す。

【0011】(1)まず、図1(a)に示すように、Si基板1上に有機金属気相成長法(MOCVD)などを用いて、多結晶歪吸収層2を結晶成長させる。この多結晶歪吸収層2の材質としては、450℃程度の低温で結晶成長させたInPが好適である。通常、InPの半導

体単結晶を成長させる場合、成長温度は650℃程度に設定される。成長温度がこれ以下の場合、結晶性が悪くなり、450℃程度だと多結晶になる。この多結晶層はその層内に多くの粒界を含んでいるため、層内部で変形を生じやすく、そのために歪みを吸収する効果がある。この後に行う直接接着を好適に実現するためには、この歪吸収層の表面は鏡面である必要があり、そのために平坦性の優れたMOCVD法で結晶成長させることが望ましい。平坦性に優れた方法であればMOCVD法でなくても良い。

【0012】また、平坦性に優れた方法で結晶成長させても、多結晶層の厚みが厚くなると、表面の平坦性が悪くなり、鏡面でなくなる傾向があるので、多結晶歪吸収層の厚みは、1000Å以下であることが望ましい。つまり、薄膜であることが望ましい。この多結晶歪吸収層2は、また接着層としての役割も果たすので、比較的低温で、反応性が強いものが、後の接着を実現するに際して都合が良い。Siは熱的に非常に安定なので、この用途に向かない。

【0013】ここで使用するInPは、450℃程度で表面からのPの離脱、及びInの表面マイグレーションが起き、反応性が高いので、本発明の目的に適する。また、GaAs等の他の化合物半導体も、上述のような反応性が高ければ、多結晶の歪吸収層として用いることができる。更に、従来使われている半田材などの金属をこの層の代わりに使用すると、金属が光を遮るので、デバイスの応用上、使用できない場合が多い。

【0014】また、エポキシ樹脂等の透明な材質の使用も考えられるが、その場合は、電気的導通を得ることができず、これも応用上、使用が限られている。本発明による多結晶歪吸収層を用いれば、光を遮ることなく、かつ電気的導通も得られる点で、半田剤、エポキシ樹脂等に比べて大きな利点がある。

(2)次に、図1(b)に示すように、InP基板3上にInP層5/GaInAsP層4が積層された化合物半導体多層基板6を別途用意する。

【0015】(3)次に、図1(c)に示すように、多結晶歪吸収(InP)層2の表面を $H_2SO_4:H_2O:H_2O_2=3:1:1$ の混合液、及びHFで処理し、水洗いを行う。

(4)同様に、図1(d)に示すように、化合物半導体多層基板6の表面、つまり、InP層5の表面を、 $H_2SO_4:H_2O:H_2O_2=3:1:1$ の混合液、及びHFで処理し、水洗いを行う。

【0016】(5)その後、両基板をスピン乾燥し、図1(e)に示すように、室温大気中で両基板の鏡面同士を接触させる。

(6)最後に、図1(f)に示すように、 H_2 雰囲気中で450℃～550℃程度の温度で熱処理して、目的とする直接接着を完了する。ここで、上述のように、In

Pは450℃程度で表面の反応性が高くなるので、450℃～550℃程度の温度で十分良好な接着を得ることができる。

【0017】なお、上記先行技術の場合は、Siの表面とInP表面を直接接着する場合は、Siの表面が非常に安定なため、表面での原子再配列が起き難く、比較的高い温度でないと十分な接着が行われ難い。それに比べて、本発明による方法では、InP同士の間での接着になるので、比較的低い450～550℃の温度で十分な接着が得られるという利点もある。

【0018】また、このような直接接着によらず、例えば、Si基板上にInP単結晶を成長させる技術によっては、格子欠陥が多いという問題以外にも、InP単結晶を成長させるために、650℃程度まで温度を上げなくてはならず、プロセス温度の低温化という点で結晶成長による異種半導体集積技術より、本発明の方法のほうが優れているといえる。

【0019】図2は本発明の第2の実施例を示す半導体装置の製造工程断面図である。

(1)まず、図2(a)に示すように、Si基板11上に有機金属気相成長法(MOCVD)などを用いて、多結晶歪吸収層12を結晶成長させる。この多結晶歪吸収層12の材質としては、450℃程度の低温で結晶成長させたGaAsが好適である。

【0020】なお、多結晶層の厚みが厚くなると、表面の平坦性が悪くなり、鏡面でなくなる傾向があるので、多結晶歪吸収層12の厚みは1000Å以下であることが望ましい。つまり、薄膜であることが望ましい。この多結晶歪吸収層12は、また接着層としての役割も果たすので、比較的低温で、反応性が強いものが、後の接着を実現するに際して都合が良い。

【0021】(2)次に、図2(b)に示すように、GaAs基板13上にAlGaAs層16/GaAs層15/AlGaAs層14が形成された化合物半導体多層基板17を別途用意する。

(3)次に、図2(c)に示すように、多結晶歪吸収(GaAs)層12の表面を $H_2SO_4:H_2O:H_2O_2=3:1:1$ の混合液、及びHFで処理し、水洗いを行う。

【0022】(4)同様に、図2(d)に示すように、化合物半導体多層基板17の表面、つまり、AlGaAs層16の表面を、 $H_2SO_4:H_2O:H_2O_2=3:1:1$ の混合液で処理し、水洗いを行う。

(5)その後、両基板をスピン乾燥し、図2(e)に示すように、室温大気中で両基板の鏡面同士を接触させる。

【0023】(6)最後に、 H_2 雰囲気中で450℃～550℃程度の温度で熱処理して、目的とする直接接着を完了する。なお、上記実施例における化合物半導体多層基板6、17は一例にすぎず、表面を鏡面とすること

ができるものであれば、他の材料からなる多層の化合物半導体基板を用いることができることは言うまでもない。

【0024】このように構成される異種半導体集積型デバイスは、例えば、半導体レーザ等の発光素子として用いることができる。なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0025】

【発明の効果】以上、詳細に説明したように、本発明によれば、半導体（S1）基板上に低温で成長させた多結晶歪吸収層を形成した後、別途用意した化合物半導体多層基板と直接接合するようにしたので、半導体（S1）基板と化合物半導体多層基板の熱膨張係数の違いによる熱歪みによる影響を低減させ、かつ、接合工程に必要な熱処理の温度を下げることができる。

【0026】これにより、クラックや剥がれのない高歩留まりの接合プロセスが可能となり、また、処理温度の

低温化により、予め作りつけてあるデバイスの特性劣化の少ない、良質な異種半導体集積型デバイスを作製することができる。

【図面の簡単な説明】

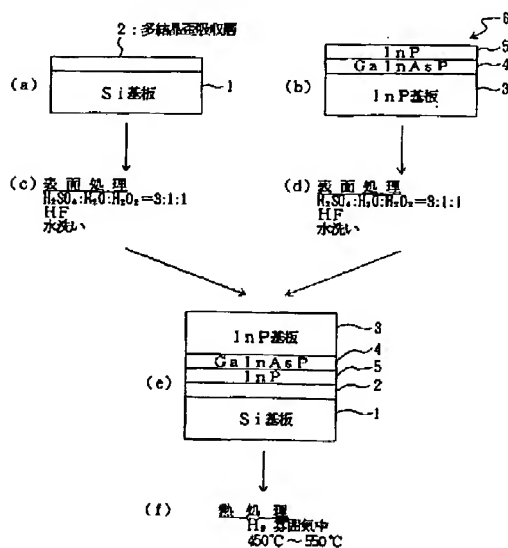
【図1】本発明の第1の実施例を示す半導体装置の製造工程断面図である。

【図2】本発明の第2の実施例を示す半導体装置の製造工程断面図である。

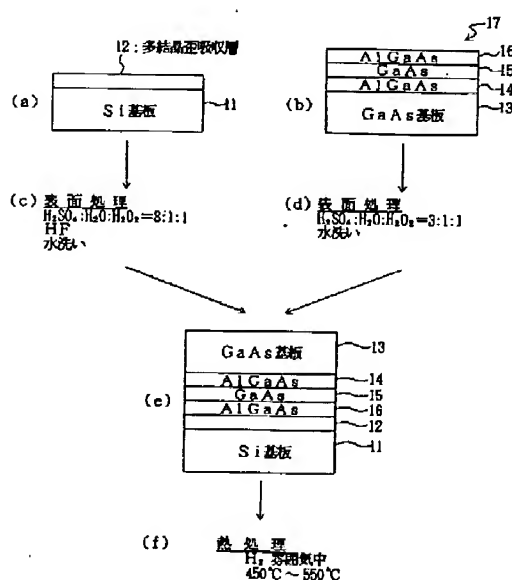
【符号の説明】

- 10 1, 11 Si基板
2, 12 多結晶歪吸収層
3 InP基板
4 GaInAsP層
5 InP層
6, 17 化合物半導体多層基板
13 GaAs基板
14 AlGaAs層
15 GaAs層
16 AlGaAs層

【図1】



【図2】



フロントページの続き

(72)発明者 上條 健

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

BEST AVAILABLE COPY